

Αλγόριθμος ταξινόμησης φυσαλίδας

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2010-2011)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

19/04/2011

Αντικείμενο της εργασίας

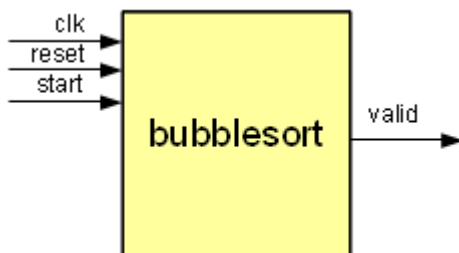
Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο πραγματοποιεί ταξινόμηση των στοιχείων ενός πίνακα με τη μέθοδο της φυσαλίδας (bubblesort). Η τεχνική αυτή χαρακτηρίζεται από υψηλή χρονική πολυπλοκότητα -- $O(n^2)$. Η διαδικασία χρησιμοποιεί συγκρίσεις διαδοχικών στοιχείων τα οποία αντιμετωπίζονται σε περίπτωση που δεν βρίσκονται ήδη ταξινομημένα. Η διαδικασία συνεχίζεται μέχρις ότου να ταξινομηθεί όλος ο πίνακας οπότε και `valid = 1`. Η θεωρούμενη μνήμη ζητείται να υλοποιηθεί ως RAM ασύγχρονης ανάγνωσης διαστάσεων 32x8-bit. Τα αρχικά δεδομένα της μνήμης μπορούν να δοθούν με ένα μπλοκ λογικής `initial` το οποίο προσδιορίζει ως περιεχόμενα τις τιμές 0 ως 31 (δηλαδή τα περιεχόμενα κάθε θέσης τα θέτουμε ίσα με τη διεύθυνσή τους). Η μνήμη μπορεί να υλοποιηθεί είτε ως συνθέσιμη μνήμη σε ξεχωριστό αρχείο `ram.v` είτε ως μη-συνθέσιμη μνήμη δηλωμένη ως `reg` κατάλληλου τύπου μέσα στο ίδιο `module`.

Η διαδικασία της ταξινόμησης φυσαλίδας δίνεται στο Σχήμα 1 με τη μορφή κώδικα ANSI C χαμηλού επιπέδου.

```
STATE_1:
    length = 31; i = 0; swapped = 0; valid = 0;
    goto STATE_2;
STATE_2:
    if (i < length) {goto STATE_3;} else {goto STATE_6;}
STATE_3:
    t0 = mem[i]; t1 = i + 1; t2 = mem[t1]; goto STATE_3A;
STATE_3A:
    if (t0 > t2) {goto STATE_4;} else {goto STATE_5;}
STATE_4:
    temp = t0; goto STATE_4A;
STATE_4A:
    mem[i] = t2; mem[t1] = temp; swapped = 1; goto STATE_5;
STATE_5:
    i = i + 1; goto STATE_2;
STATE_6:
    if (swapped != 1) {goto STATE_7;} else {goto STATE_2;}
STATE_7:
    valid = 1;
```

Σχήμα 1: Ψευδοκώδικας για την ταξινόμηση φυσαλίδας.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος ταξινόμησης φυσαλίδας.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2011. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 10. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.